

Diseño del Frente Digital de un Transceiver BPL

Alumna: Paola Pezoimburu

Tutora: Dra. Ing. Cecilia Galarza

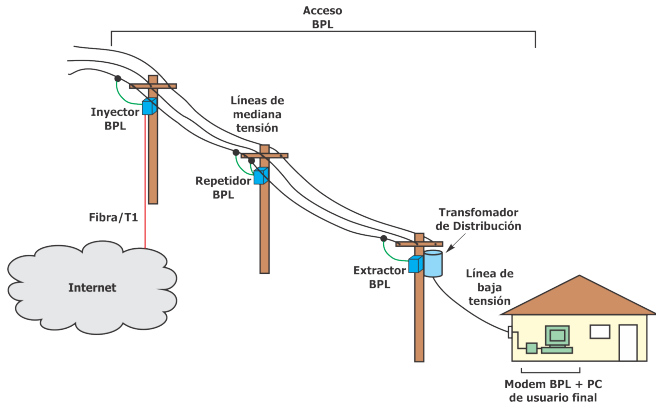
Co-Tutor: Dr. Ing. Leonardo Rey Vega

Laboratorio de Procesamiento de Señales y Comunicaciones

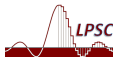
18 de julio de 2011



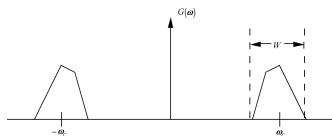
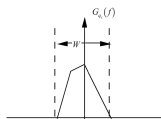
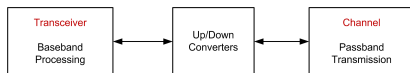
Sistemas de comunicación BPL



Módem BPL transmite en la banda de 1 a 30 MHz

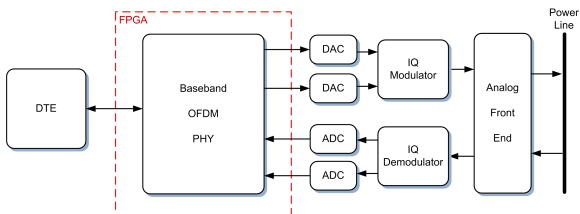


Up/Down Conversion

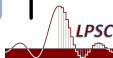
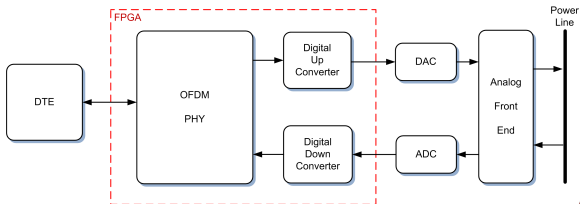


Alternativas de Up/Down Conversion

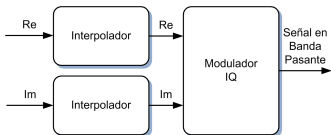
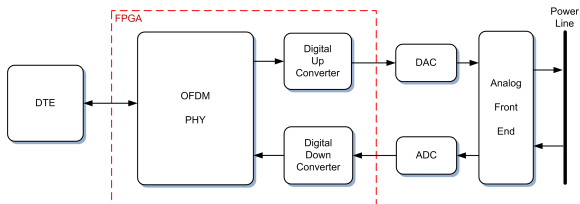
Analógica:



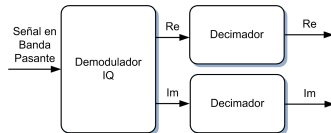
Digital:



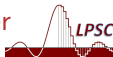
Digital Up/Down Conversion



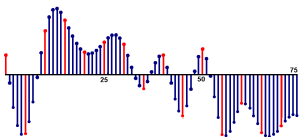
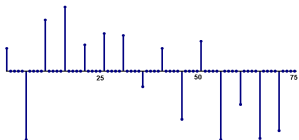
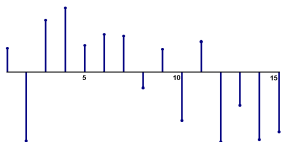
Digital Up Converter



Digital Down Converter



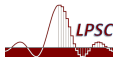
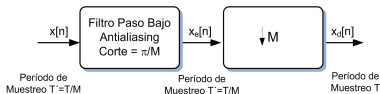
Técnica elegida



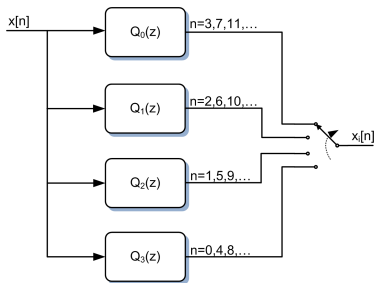
Interpolación



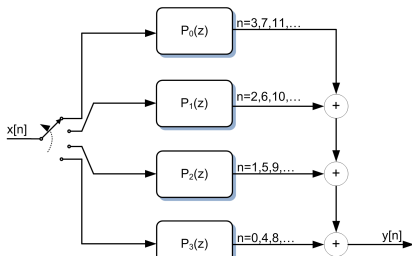
Decimación



Descomposiciones polifásicas equivalentes

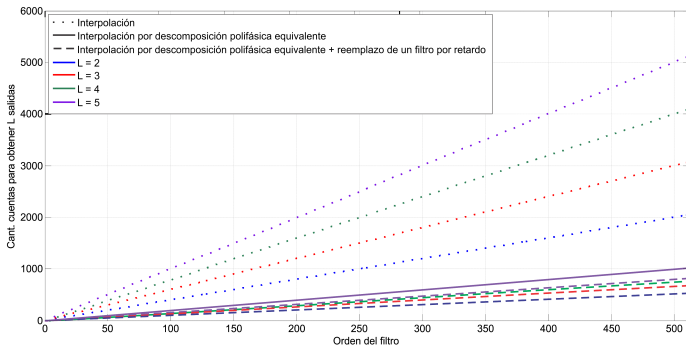


Interpolación

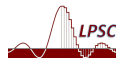


Decimación

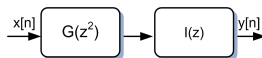
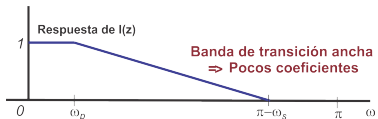
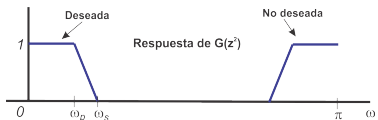
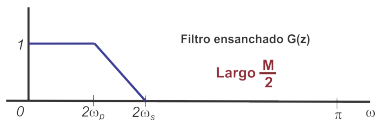
Análisis de la complejidad computacional



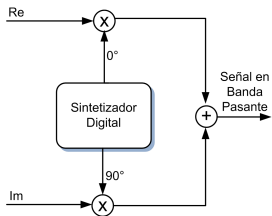
Cantidad de cuentas computadas para obtener L salidas
en un interpolación de orden L



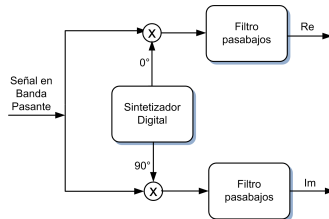
Optimización por Implementación Multistage



Sistema de Modulación/Demodulación IQ

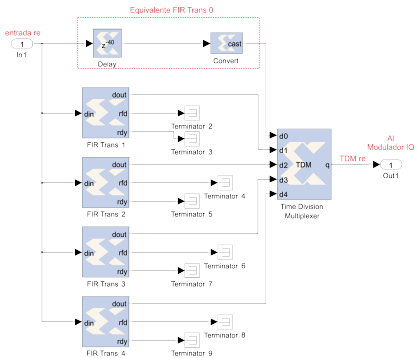


Modulador IQ

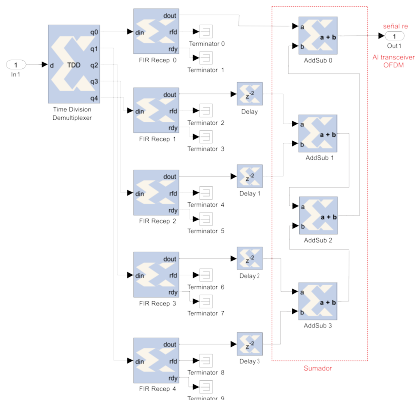


Demodulador IQ

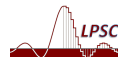
Procesamiento multitasa



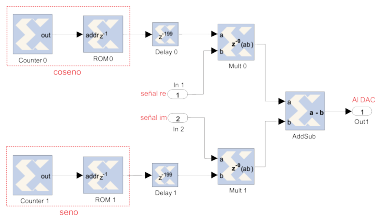
Interpolador



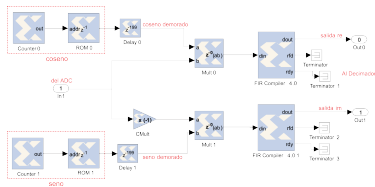
Decimador



Modulación IQ

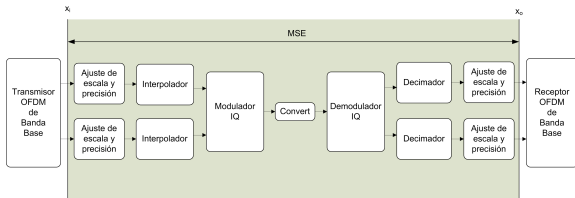


Modulador IQ



Demodulador IQ

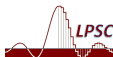
Performance del diseño en System Generator



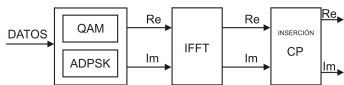
Precisión de los conversores [bits]	Precisión de la entrada [bits]		
	24	19	14
10	53,7516	53,7525	53,5992
11	56,9087	56,9170	56,7010
12	58,2184	58,2089	57,8877
13	58,6214	58,6207	58,2894
14	58,7282	58,7271	58,3874
16	58,7649	58,7655	
19	58,7649	58,7638	

SNR(dB) alcanzada por el frente digital para distintas precisiones

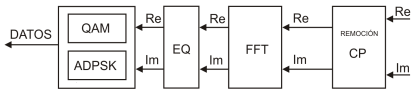
con filtros implementados por descomposición polifásica



Transceiver OFDM implementado en FPGA



Transmisor

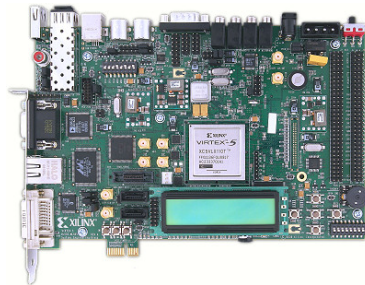


Receptor

Plataforma de desarrollo:

Virtex-5 OpenSPARC Evaluation Platform

FPGA Xilinx Virtex®-5 XC5VLX110T



Optimización de los recursos lógicos

La utilización de recursos lógicos depende de la arquitectura elegida:

- Aritmética Distribuida: *Look-Up Tables*, sumas o restas, y desplazamientos.
- DSP48E Slices: segmentos dedicados a operaciones de DSP.

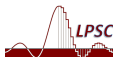
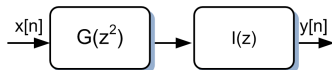
y de los parámetros del sistema:

- Ordenes de los filtros.
- Precisión de la señal que entra a los filtros.
- Precisión de los coeficientes de los filtros.
- Precisión de la señal que entra a los mezcladores IQ.



FPGA Xilinx Virtex-5 XC5VLX110T

- Descomposición polifásica de interpolador y decimador.
- Implementación multistage en todos los filtros.
- Orden de filtros equivalente a 320.
- Coeficientes de filtros de 16 bits de precisión.
- Aritmética Distribuída y DSP48E.



Conclusiones

Se propuso un diseño para el frente digital.

Se analizaron para cada etapa que lo compone las distintas soluciones aplicables.

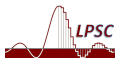
Se evaluó la performance alcanzada por el equipo para etapa de diseño.

Y se obtuvo un diseño del frente digital completo:

Totalmente implementable en la placa *Virtex-5 XC5VLX110T*.

Combinando distintas técnicas de diseño de filtros digitales.

Utilizando distintas arquitecturas de hardware.



¿Preguntas?

