

Laboratorio de Física de Dispositivos – Microelectrónica
Facultad de Ingeniería – Universidad de Buenos Aires

Estudio de inestabilidades en estructuras M.O.S. con dieléctricos nanométricos de alto K

Tesista: Lucas Sambuco Salomone

Director: Dr. Adrián Faigón

Co-Director: Dr. Ing. José Lipovetzky

Motivación

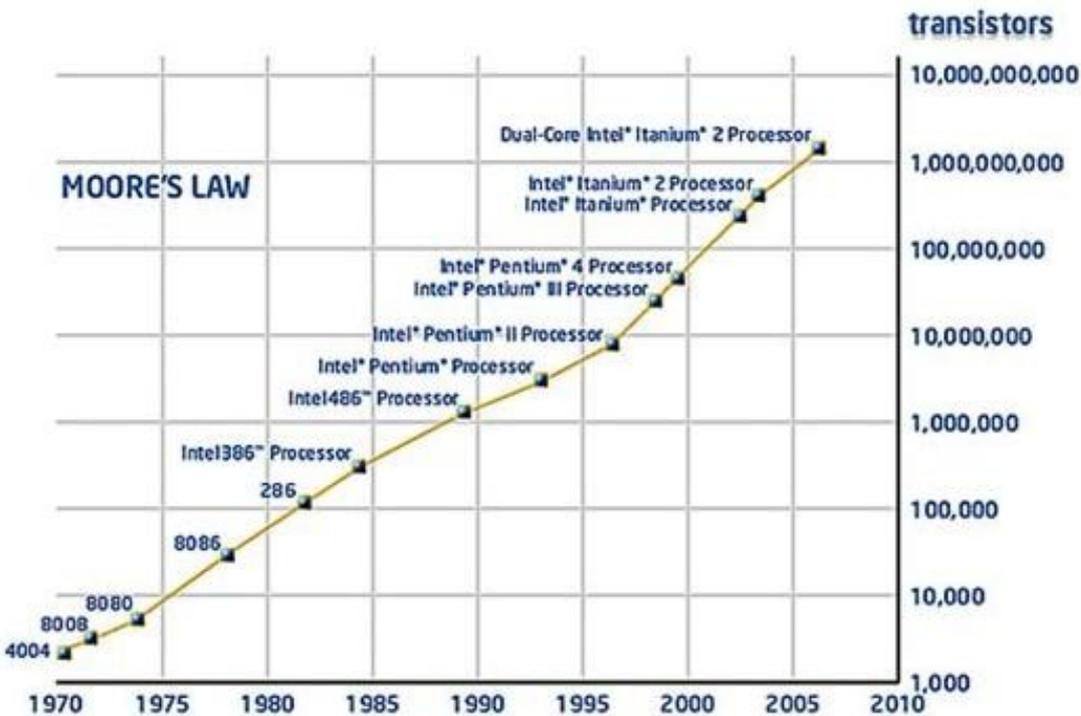
Aumento en la complejidad de los circuitos electrónicos



Aumento en el nivel de integración

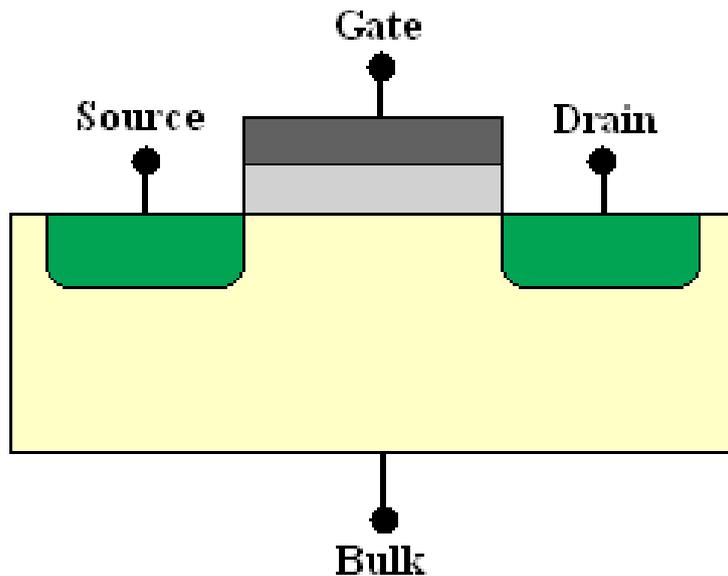


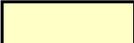
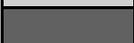
Reducción en las dimensiones



Motivación

La corriente del transistor en saturación es aproximadamente

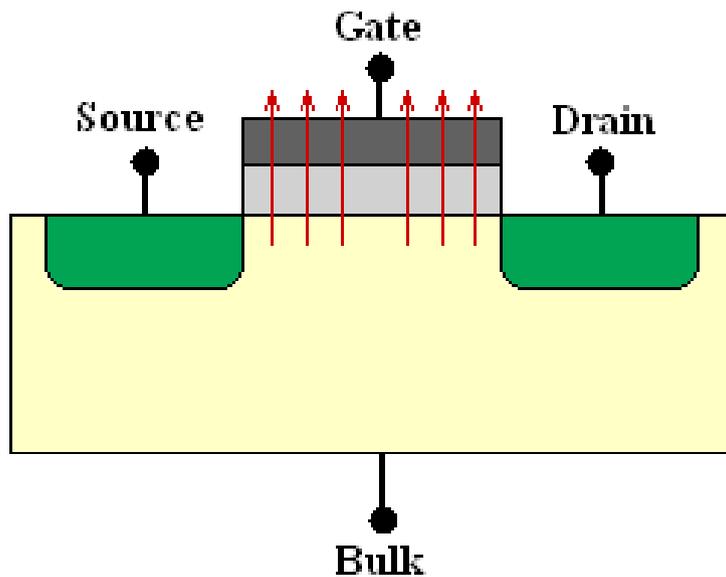


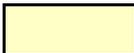
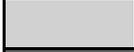
	Sustrato semiconductor
	Difusiones Drain/Source
	Capa aislante (SiO_2)
	Metalización de Gate

$$I_D \approx \frac{W}{2L} \mu_n \frac{\epsilon_{OX}}{t_{OX}} (V_G - V_T)^2$$

Para reducir las dimensiones y mantener el acople capacitivo puerta-canal, se debe reducir t_{OX} .

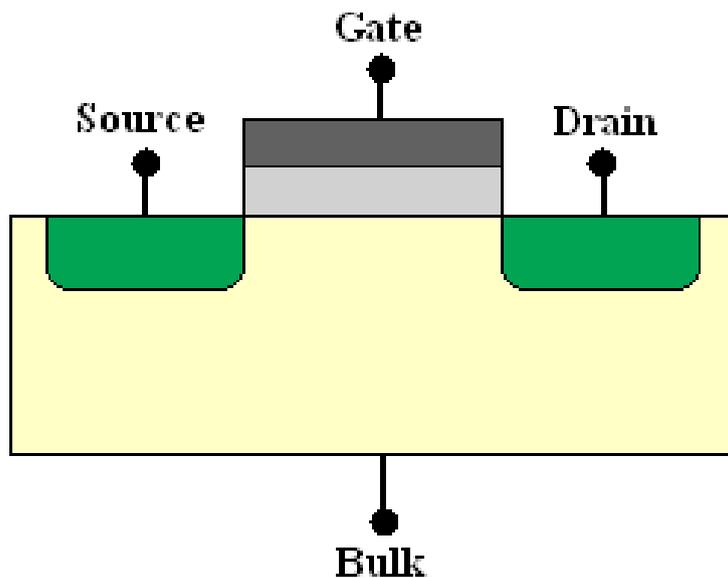
Motivación



	Sustrato semiconductor
	Difusiones Drain/Source
	Capa aislante (SiO ₂)
	Metalización de Gate

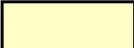
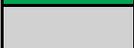
Cuando t_{ox} se reduce por debajo de 2 nm, surgen problemas, especialmente relacionados con un aumento de la corriente de túnel a través de la capa aislante.

Motivación

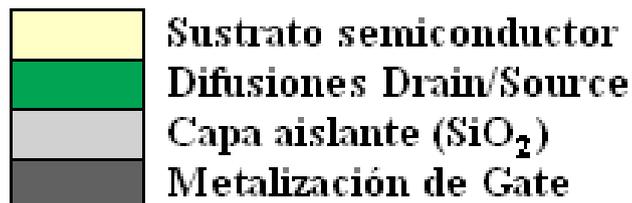
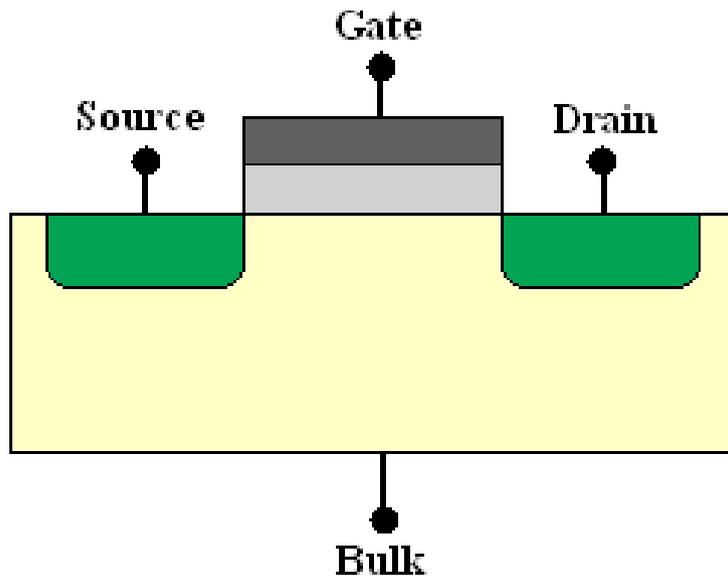


$$I_D \approx \frac{W}{2L} \mu_n \frac{\epsilon_{OX}}{t_{OX}} (V_G - V_T)^2$$

Podemos reducir W y L sin reducir el espesor del aislante si pudiéramos aumentar ϵ_{OX} .

	Sustrato semiconductor
	Difusiones Drain/Source
	Capa aislante (SiO_2)
	Metalización de Gate

Motivación



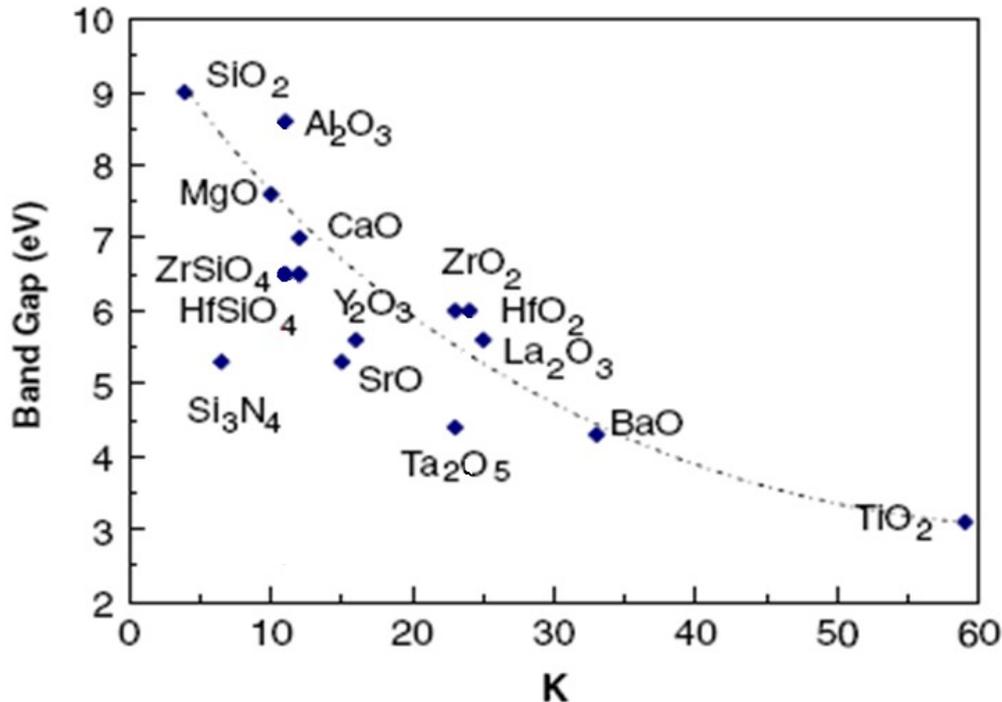
$$I_D \approx \frac{W}{2L} \mu_n \frac{\epsilon_{OX}}{t_{OX}} (V_G - V_T)^2$$

Podemos reducir W y L sin reducir el espesor del aislante si pudiéramos aumentar ϵ_{OX} .



Hay que reemplazar el SiO_2 por un material aislante con una constante dieléctrica ϵ_{OX} mayor.

Motivación



Los dieléctricos de alto K son materiales que poseen una constante dieléctrica

$$\epsilon_{OX} = K \epsilon_0 > \epsilon_{SiO_2}$$

Estos nuevos materiales presentan defectos en su estructura, los cuales pueden capturar carga, causando dificultades, aún en condiciones normales de operación.

Objetivos

- Estudiar los defectos en el material a través de la caracterización de las inestabilidades observadas en la característica de capacidad-tensión (C-V) y su dependencia con el campo eléctrico y el tiempo.
- Aportar a la modelización de los fenómenos observados, analizando los modelos propuestos en la literatura y a partir de ellos, elaborar uno propio que sea capaz de predecir los experimentos desarrollados.

Dispositivos

En este trabajo se estudian capacitores MOS con dos tipos de dieléctricos de alto K como capa aislante, HfO_2 y Al_2O_3 . El espesor de las capas es del orden de los 10 nm en ambos casos.

Dichas muestras fueron fabricadas en el Instituto de Microelectrónica de Barcelona utilizando la moderna técnica de Atomic Layer Deposition (ALD).

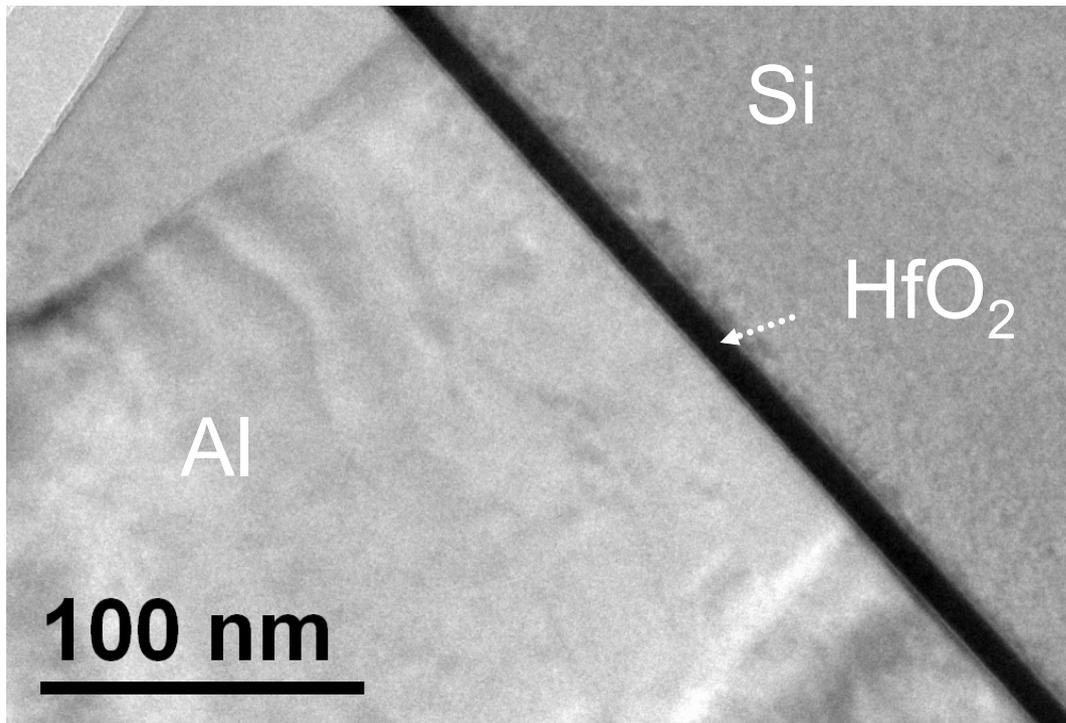


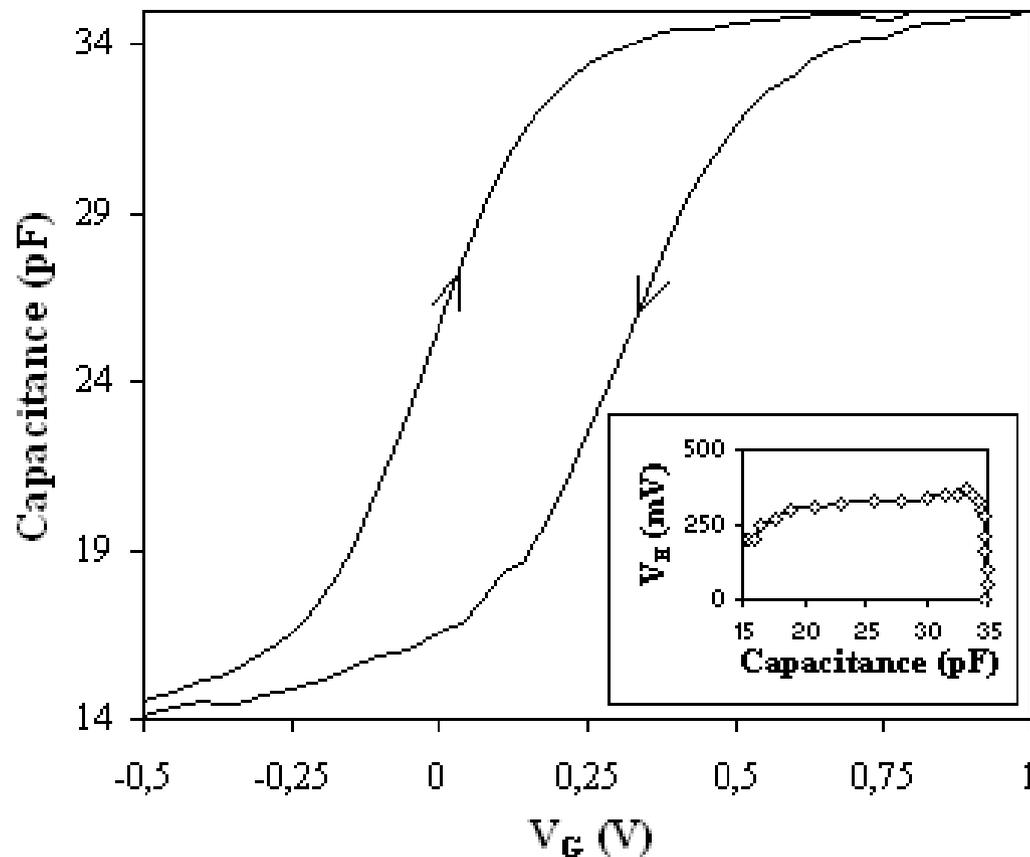
Imagen obtenida por Transmission Electron Microscopy (TEM).

Instrumental



Caracterización eléctrica

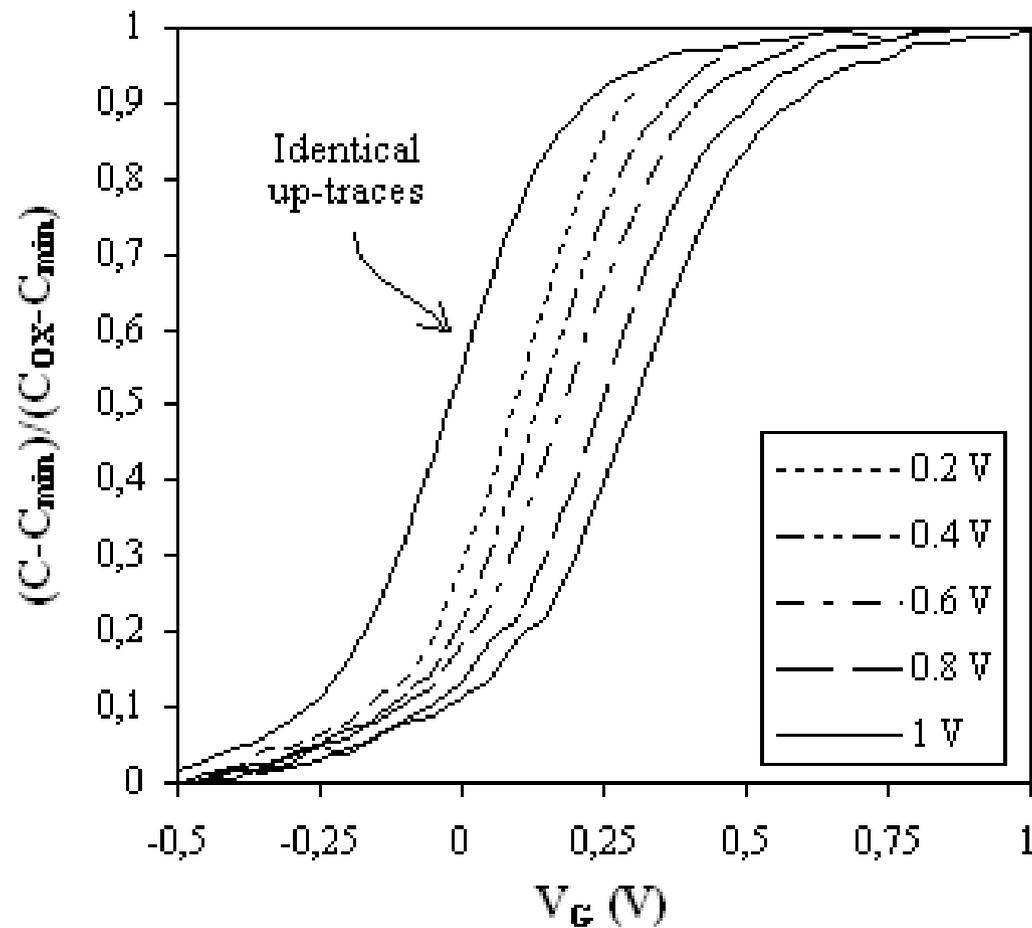
La captura de carga en los defectos mencionados se manifiesta eléctricamente como un fenómeno de histéresis en la característica de capacidad-tensión (C-V).



Ciclo C-V en un capacitor MOS con HfO_2 como aislante de puerta.

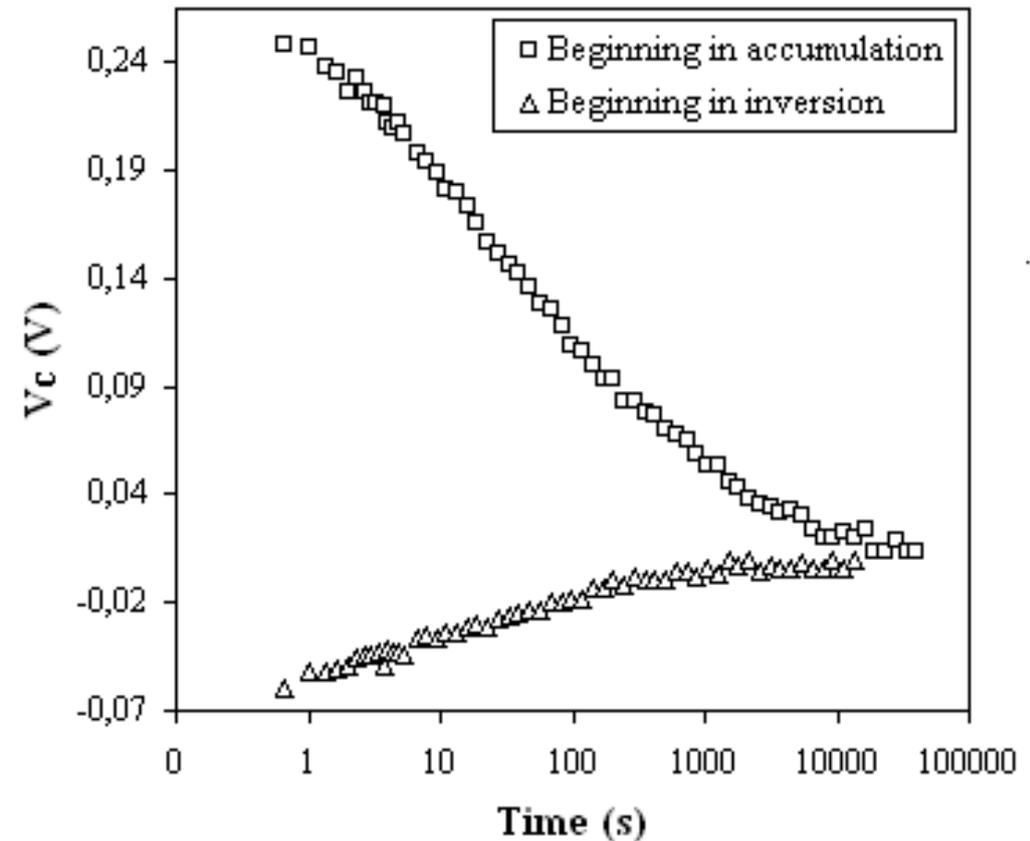
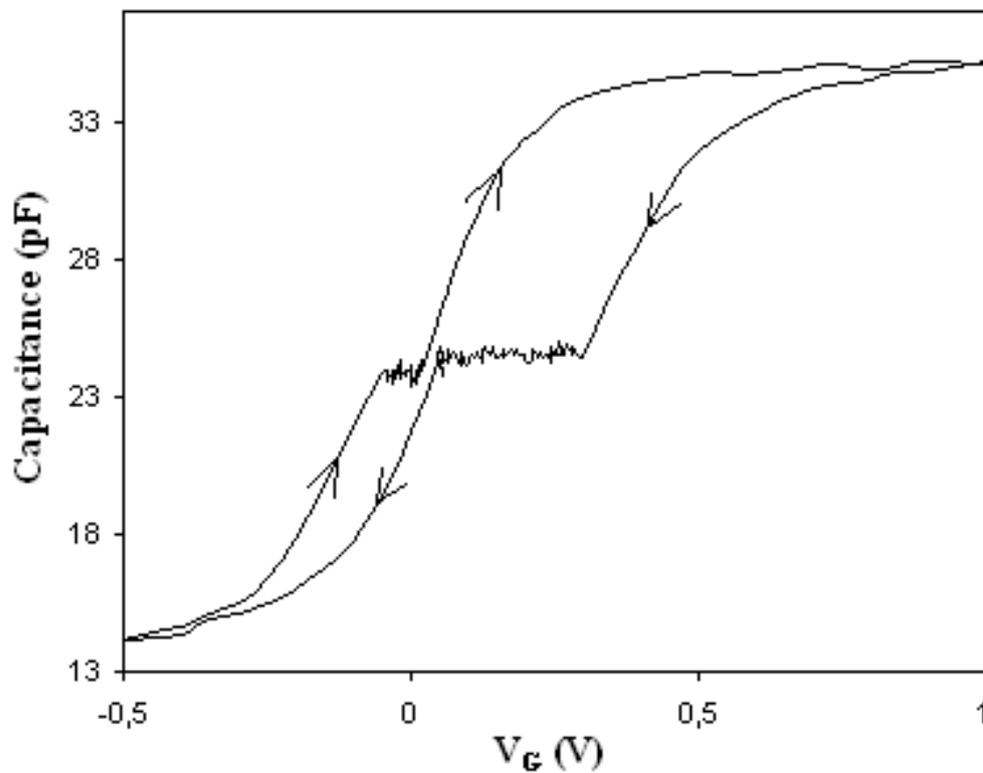
Caracterización eléctrica

Se observa una fuerte dependencia del valor de la histéresis con el campo eléctrico aplicado.



Caracterización eléctrica

Se observa una dependencia temporal en el valor de tensión a una capacidad dada, V_C .



Modelización

Se modelizaron los resultados obtenidos experimentalmente a partir de la hipótesis de que la captura de carga se debe a transiciones por efecto túnel entre el semiconductor y las trampas presentes en el dieléctrico.

